

日本国特許庁
JAPAN PATENT OFFICE

JC969 U.S.P.T.O.
10/053602
01/24/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 1月25日

出願番号

Application Number:

特願2001-017548

出願人

Applicant(s):

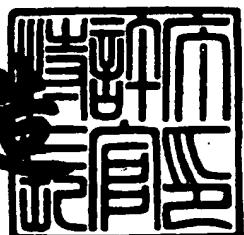
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 9日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願
【整理番号】 47500392
【あて先】 特許庁長官殿
【国際特許分類】 H04L 7/00
【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号
本電気株式会社内

日

【氏名】 新井 成浩

【特許出願人】

【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 エラスティックストア回路及び遅延信号受信方法

【特許請求の範囲】

【請求項1】 複数のデータ信号の互いに異なる伝搬遅延時間の差を吸収するエラスティックストア回路において、前記複数のデータ信号に対応した複数のクロックから読み出しクロックを選択するクロックセレクタと、前記複数のデータ信号の到着を検出するデータ信号到着検出回路と、最も伝搬遅延時間の大きいデータ信号を検出する最大遅延データ検出回路と、該最大遅延データ検出回路の出力と前記クロックセレクタによって選択された読み出しクロックに基づきリセット信号を生成するリセット回路を備えることを特徴とするエラスティックストア回路。

【請求項2】 前記リセット回路の生成するリセット信号がエラスティックストアメモリの読み出しアドレスカウンタに入力され、該読み出しアドレスカウンタの出力する信号がエラスティックストアメモリと前記データ信号到着検出回路に入力される請求項1記載のエラスティックストア回路。

【請求項3】 前記リセット回路が生成するリセット信号がエラスティックストアメモリの読み出しアドレスカウンタ及び前記データ信号到着検出回路に入力される請求項1記載のエラスティックストア回路。

【請求項4】 前記データ信号到着検出回路は、複数のデータ信号毎に配置され各データ信号の先頭を示すフレームパルスを受信するフリップフロップ回路を備える請求項1、2、または3記載のエラスティックストア回路。

【請求項5】 前記フリップフロップ回路はセットリセット付きフリップフロップ回路であって、該回路のセット端子に前記フレームパルスが入力しリセット端子に前記リセット回路またはアドレスカウンタの出力信号が入力する請求項4記載のエラスティックストア回路。

【請求項6】 前記最大遅延データ検出回路は前記各フリップフロップ回路の各出力信号が入力するアンド回路である請求項4記載のエラスティックストア回路。

【請求項7】 前記リセット回路は前記読み出しクロックが入力するシフト

レジスタと2入力アンド回路を備え、該2入力アンド回路がリセットパルスを出力する請求項1記載のエラスティックストア回路。

【請求項8】 異なった伝送経路からデータ信号を受信してそれぞれ対応するエラスティックストアメモリに保持し、これらデータ信号にそれぞれ対応するクロック及びフレームパルスを受信し、前記複数のクロックから1つのクロックをエラスティックストアメモリ読み出しクロックとして選択し、前記フレームパルスのうち最も遅い到着をアンド回路で検出し、該アンド回路の出力に基づきパルス信号を出力させ、該パルス信号に基づいて各エラスティックストアメモリからデータ信号を読み出すことを特徴とする遅延信号受信方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はそれぞれ異なる伝送路を経由した複数のデータ信号相互の伝搬遅延時間差を吸収するエラスティックストア回路に関し、特に最も伝搬遅延時間の大きなデータ信号の到着を検出するエラスティックストア回路に関する。

【0002】

【従来の技術】

例えば、10 G b p sデータの光ファイバー伝送路の一区間に、光ファイバーの材質、特性から物理的に最大2.4 G b p sデータしか伝送できない光ファイバーを使用する伝送路区間がある場合、その伝送路区間の前段で10 G b p sデータを4本の2.4 G b p sデータに分割して送信し、後段（受信側）で2.4 G b p sデータ・4本から10 G b p sデータに復元する伝送技術が実現されている。この技術では、4本の2.4 G b p sデータが経由したそれぞれの伝送路の違いによる伝搬遅延時間差を吸収するエラスティックストア回路が必要となる。

【0003】

既に知られているエラスティックストア回路を図3に示す。この回路は、非同期状態にある4本のクロックからエラスティックストアメモリ6の読み出し位相を任意に選択するクロックセレクタ4と、非同期状態にある4本の2.4 G b p

sデータそれぞれのデータの先頭を示すフレームパルスをクロックセレクタ4で選択したクロックでリタイミングするフレームパルスリタイミング回路8と、該フレームパルスリタイミング回路8でリタイミングしたフレームパルスをロードパルスとし、クロックセレクタ4で選択したクロックで2.4Gbpsデータをカウントするフレームカウンタ9と、フレームカウンタ9のカウント値を比較し、最も伝搬遅延時間が大きい2.4Gbpsデータを検出する検出回路10と、検出回路10の検出結果をロードパルスとして動作する読み出しアドレスカウンタ7を備える。

【0004】

また上記エラスティックストア回路に対して、4本の2.4Gbpsデータのそれぞれに対応して、該データ信号、フレームパルスおよびクロックが入力するエラスティックストアメモリ6と、書き込みアドレスカウンタ5が配置されている。

【0005】

上記構成において、受信側に到着した2.4Gbpsデータは、光信号から電気信号に変換され、クロックとフレームパルスを付加された1組のデータである。このデータの組は4組存在するが、この4組のデータは相互に非同期状態にあるため、これらを同期状態にすることが必要となる。

【0006】

まず、4本のクロックの中からエラスティックストアメモリ6の読み出しクロックとして使用するクロックを選択する。このクロックはクロックセレクタ4が任意に選択する。フレームパルスリタイミング回路8はクロックセレクタ4が任意に選択した読み出しクロックで4本のフレームパルスをリタイミングする。この読み出しクロックと4本のフレームパルス間のリタイミング動作は完全に非同期である。リタイミング後のフレームパルスは、フレームカウンタ9のロードパルスとして使用される。フレームパルスが到着した順にフレームカウンタ9は初期化され、カウント動作を開始する。検出回路10は、4つのフレームカウンタのカウント値を比較し、カウント値の最小値を検出することによって最後に到着した2.4Gbpsデータを検出する。この検出結果がエラスティックストアメ

モリ6の読み出しアドレスカウンタ7のロードパルスとされ、最も伝搬遅延時間の大きい2.4 Gbpsデータを基準にエラスティックストアメモリ6の読み出し位相が決定され、したがって4本の2.4 Gbpsデータが有する伝送経路の違いによる伝搬遅延時間差が吸収され、10 Gbpsデータへの復元が可能となる。

【0007】

【発明が解決しようとする課題】

しかしながら、上述の回路は、19440進のフレームカウンタを4つ備え、それぞれのフレームカウンタのカウント値を比較する構成であるため、回路が複雑で大規模になり、消費電力が増加する。また、2.4 Gbpsデータ4本の同期動作を実現するため非同期状態にある4本のフレームパルスを4本中の1つのクロックでリタイミングしているが、しかし、通常フレームパルスは1クロック幅の1パルスであり、フレームパルスをリタイミングする場合のリタイミング位相が非同期状態である場合は、リタイミングフリップフロップ回路の出力がメタステーブル状態となり、フレームパルスの1クロック幅の1パルスが正しくリタイミングされない。

【0008】

したがって本発明の目的は、最も伝搬遅延時間の大きいデータ信号の到着検出部を簡素化して回路規模およびパワー削減を図り、且つ正確なデータ信号の検出を可能とするエラスティックストア回路および遅延信号受信方法を提供することにある。

【0009】

【課題を解決するための手段】

本発明のエラスティックストア回路は、複数のデータ信号に対応した複数のクロックから読み出しクロックを選択するクロックセレクタと、複数のデータ信号の到着を検出するデータ信号到着検出回路と、最も伝搬遅延時間の大きいデータ信号を検出する最大遅延データ検出回路と、該最大遅延データ検出回路の出力と前記クロックセレクタによって選択された読み出しクロックに基づきリセット信号を生成するリセット回路を備える

具体的には、リセット回路の生成するリセット信号がエラスティックストアメモリの読み出しアドレスカウンタに入力され、該読み出しアドレスカウンタの出力する信号がエラスティックストアメモリとデータ信号到着検出回路に入力される。あるいは、リセット回路が生成するリセット信号がエラスティックストアメモリの読み出しアドレスカウンタ及びデータ信号到着検出回路に入力される。データ信号到着検出回路は、複数のデータ信号毎に配置され各データ信号の先頭を示すフレームパルスを受信するフリップフロップ回路を備えることができる。フリップフロップ回路はセットリセット付きフリップフロップ回路であって、該回路のセット端子にフレームパルスが入力しリセット端子にリセット回路またはアドレスカウンタの出力信号が入力する構成とすることができる。最大遅延データ検出回路は上記各フリップフロップ回路の各出力信号が入力するアンド回路で構成できる。また、リセット回路は読み出しクロックが入力するシフトレジスタと2入力アンド回路を備え、該2入力アンド回路がリセットパルスを出力する。

【0010】

また本発明の遅延信号受信方法は、異なった伝送経路からデータ信号を受信してそれぞれ対応するエラスティックストアメモリに保持し、これらデータ信号にそれぞれ対応するクロック及びフレームパルスを受信し、受信したクロックから1つのクロックをエラスティックストアメモリ読み出しクロックとして選択し、フレームパルスのうち最も遅い到着をアンド回路で検出し、該アンド回路の出力に基づきパルス信号を出力させ、該パルス信号に基づいて各エラスティックストアメモリからデータ信号を読み出す。

【0011】

上記構成の発明によって、伝搬遅延時間の互いに異なる複数のデータ信号を簡単な構成によって正確に検出することが可能となる。

【0012】

【発明の実施の形態】

本発明の実施の形態について図1、図2を参照して説明する。図1は本発明の一実施の形態としてのエラスティックストア回路のブロック図である。4本の2.4 G b p s データに対応して4個のエラスティックストアメモリ6が設置され

ている。各エラスティックストアメモリ6にそれぞれ対応する2.4Gbpsデータ(Wデータ#1～#4)と各データの先頭位置を示すフレームパルス(WFP#1～#4)とクロック(CLK#1～#4)が入力する。本エラスティックストア回路は、入力するクロック(CLK#1～#4)から1個のクロックを選択するクロックセレクタ4と、各フレームパルス(WFP#1～#4)が入力するデータ到着検出回路1と、該データ到着検出回路1から各経路からのデータの到着情報を受ける最大遅延データ検出回路2とを備える。さらに、該最大遅延データ検出回路2とクロックセレクタ4のそれぞれの出力を受けリセット信号を出力するリセット回路3と、該リセット信号と上記クロックセレクタ4のそれぞれの出力を受けデータ到着検出回路1とエラスティックストアメモリ6に信号を出力する読み出しアドレスカウンタ7を備える。

【0013】

上述のようにクロックセレクタ4の選択したクロックは、上記リセット回路3、読み出しアドレスカウンタ7、および各エラスティックストアメモリ6に送られる。各エラスティックストアメモリ6の前段にはそれぞれフレームパルス(WFP#1～#4)とCLK(CLK#1～#4)が入力する書き込みアドレスカウンタ5が配置され、その出力はエラスティックストアメモリ6に入力する。

【0014】

図2は上述のエラスティックストア回路の主要部の具体的構成例を示す。各2.4Gbpsデータ信号に対応するフレームパルス(WFP#1～#4)が入力するデータ到着検出回路1は4個のセットリセット付きフリップフロップ回路(1-1、1-2、1-3、1-4)から構成されている。各フリップフロップ回路のセット入力端子には上記各フレームパルスが入力し、リセット入力端子には、読み出しアドレスカウンタ7が出力するリセット信号が入力する。最大遅延データ検出回路2は、上記4個のフリップフロップ回路からの出力が入力する4入力アンド回路によって構成される。リセット回路3は、4入力アンド回路の出力信号を受けるフリップフロップ回路3-1とこれに継続接続する2個のフリップフロップ回路3-2、3-3を備え、これら3個のフリップフロップ回路はシフトレジスタを構成する。これらにクロックセレクタ4が選択してクロック信号が

入力する。リセット回路3は、さらに最終段のフリップフロップ回路3-3の入出力信号を受けてリセット信号を出力する2入力アンド回路3-4を備える。図2では、リセット信号は読み出しアドレスカウンタ7に入力され、該読み出しアドレスカウンタ7からの信号がエラスティックストアメモリ6とデータ到着検出回路1のセットリセット付きフリップフロップ回路に入力される。しかし、上記セットリセット付きフリップフロップ回路リセット端子にはリセット回路3の出力するリセット信号が入力する構成でもよい。

【0015】

次に本エラスティックストア回路の動作について説明する。例えばデータ#1とフレームパルスWFP#1がエラスティックストアメモリに到着すると、同時にフレームパルスWFP#1がデータ到着検出回路1のセットリセット付きフリップフロップ回路1-1のセット端子に入力する。これによって該フリップフロップ回路1-1はH信号を出力する。フレームパルスWFP#2からWFP#4を受信するセットリセット付きフリップフロップ回路1-2、1-3、1-4も受信ごとにそれぞれH信号を出力する。

【0016】

これらH信号は、最大遅延データ検出回路2である4入力アンド回路2-1に入力し、4つのH信号が全て入力した時（すなわち最も伝搬遅延時間の大きいデータ信号が到着した時）該アンド回路2-1の出力はL信号からH信号に変化する。リセット回路3のシフトレジスタ（フリップフロップ回路3-1、3-2、3-3）は、このL信号からH信号への信号変化をクロックセレクタが選択したクロックでリタイミングし、2入力アンド回路3-4が1クロック幅の微分パルスを生成する。この微分パルスはエラスティックストアメモリ6の読み出しアドレスカウンタ7のロードパルスとして、またデータ到着検出回路1のセットリセット付きフリップフロップ回路1-1、1-2、1-3、1-4のリセットパルスとして利用される。読み出しアドレスカウンタ7ではカウント値0がロードされリセットされる。一方、読み出しアドレスカウンタ7の出力がセットリセット付きフリップフロップ回路1-1、1-2、1-3、1-4のリセット信号になることもできる。

【0017】

以上のように、本発明のエラスティックストア回路は、伝搬遅延時間が互いに異なる複数のデータ信号の到着順序を、複数個のセットリセット付きフリップフロップ回路と4入力アンド回路で検出するので、従来より簡素な回路で確実に、最も伝搬遅延時間の大きいデータ信号の到着を検出できる。

【0018】

また、非同期状態にある複数のフレームパルスとクロックをリタイミングするのではなく、複数のデータ信号のうち、最も伝搬遅延時間の大きいデータ信号の到着をHパルス信号に変換し、これらの一一致結果をリタイミングする回路構成にしたので、非同期状態にある複数のデータ信号間の同期動作を容易に行うことができる。

【0019】

【発明の効果】

本発明では、最も伝搬遅延時間の大きいデータ信号の到着検出を簡素な回路で正確に実行でき、4本のデータ信号を同時に読み出すことができる。また回路の消費電力を大幅に削減できる。

【図面の簡単な説明】

【図1】

本発明のエラスティックストア回路の実施形態を示すブロック図。

【図2】

本発明のエラスティックストア回路の実施形態の具体例を示すブロック図。

【図3】

従来のエラスティックストア回路の例を示すブロック図。

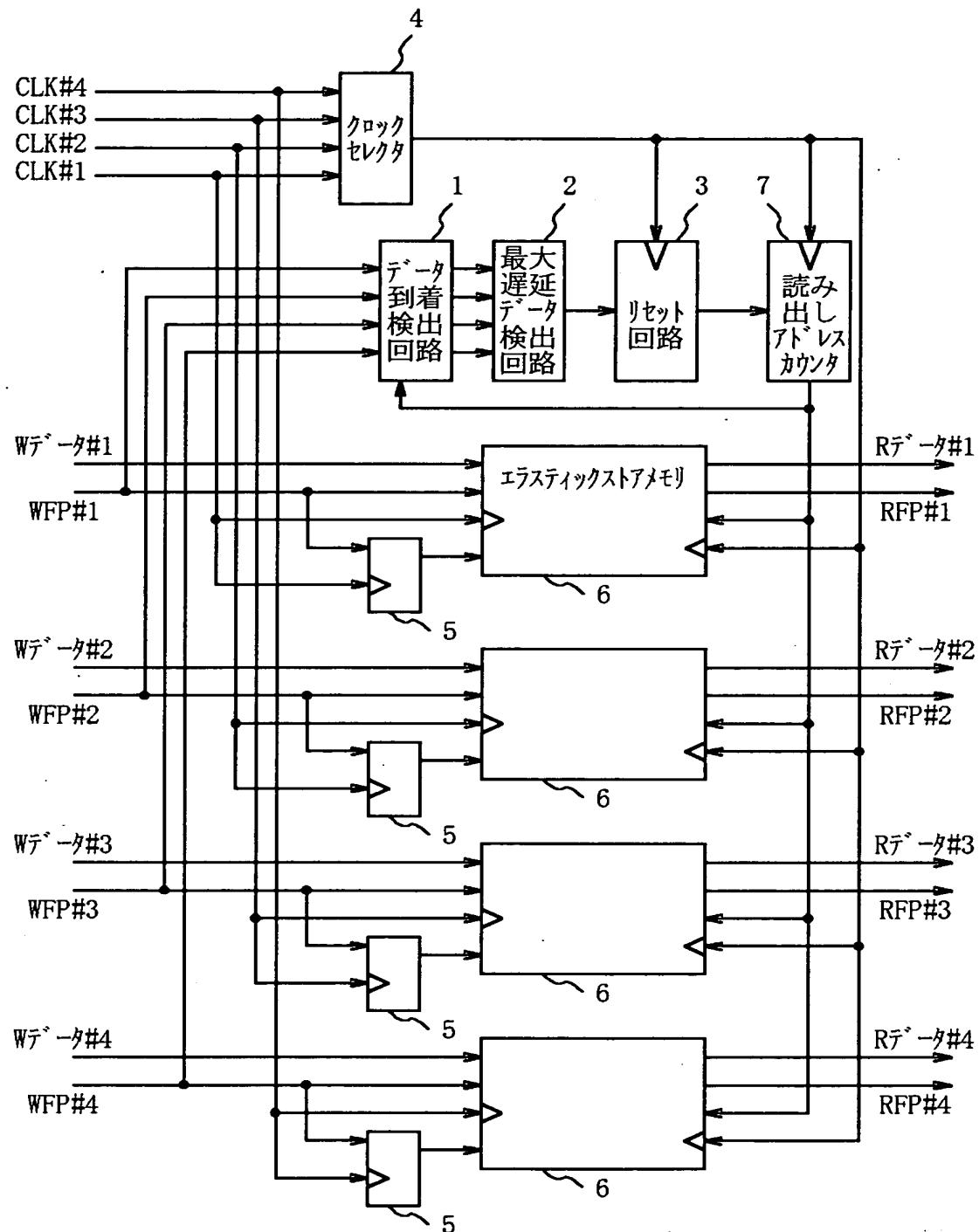
【符号の説明】

- 1 データ到着検出回路
- 2 最大遅延データ検出回路
- 3 リセット回路
- 4 クロックセレクタ
- 5 書き込みアドレスカウンタ

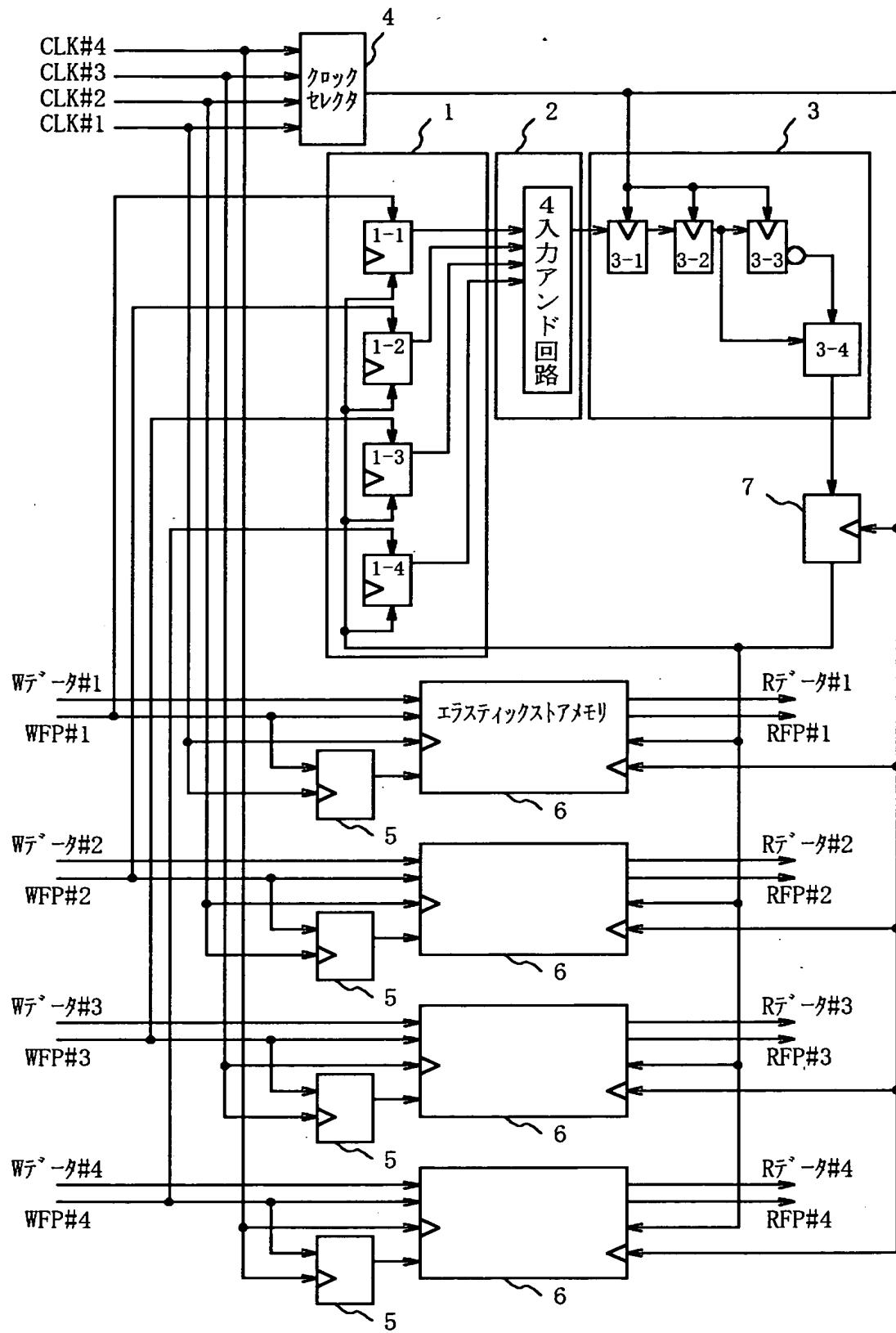
- 6 エラスティックストアメモリ
- 7 読み出しアドレスカウンタ
- 8 フレームパルスリタイミング回路
- 9 フレームカウンタ
- 10 検出回路

【書類名】 図面

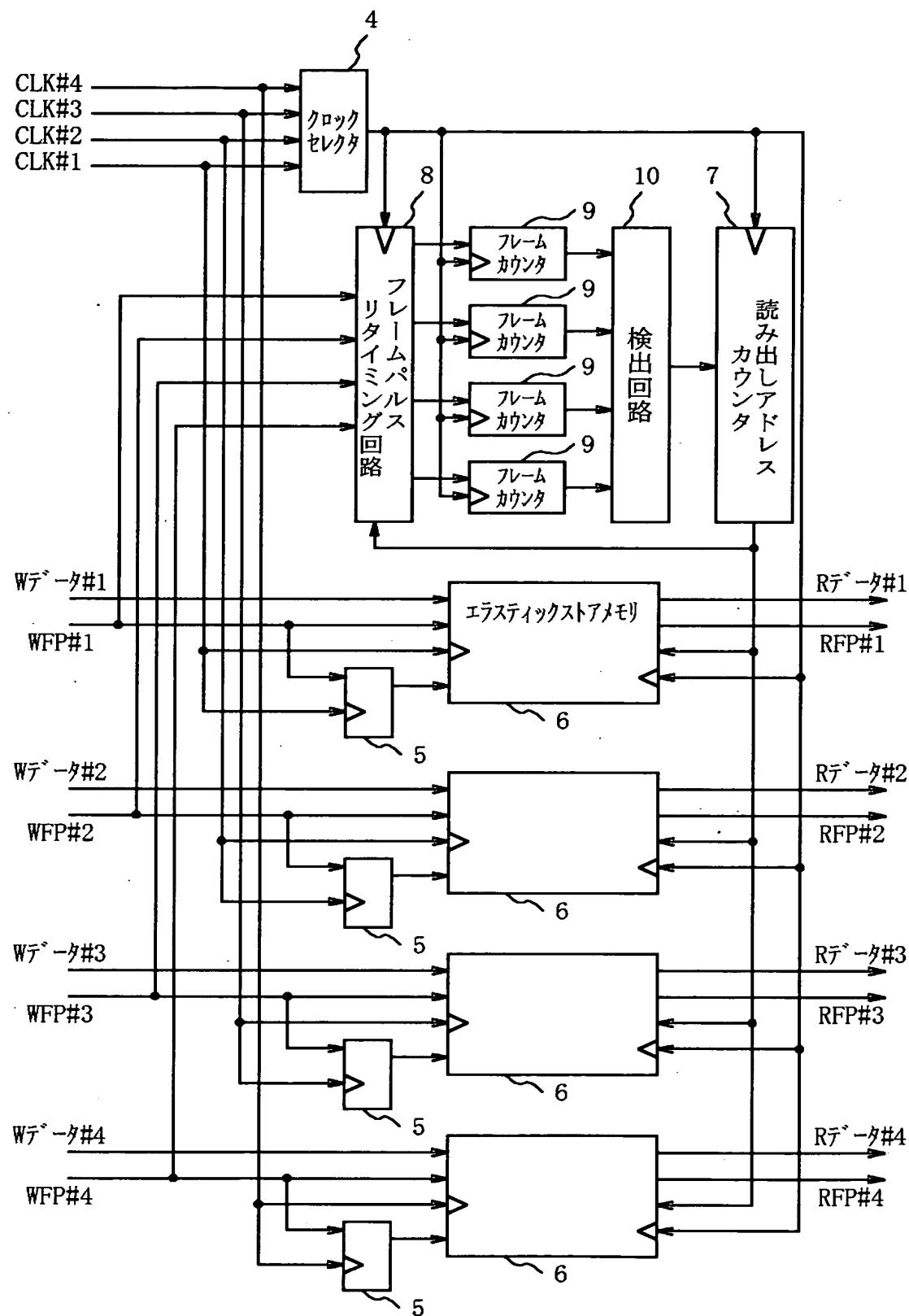
【図1】



【図2】



【図3】



特2001-017548

【書類名】 要約書

【要約】

【課題】 伝送路の違いによる複数のデータの伝搬遅延時間差を吸収するエラスティックストア回路において、従来はフレームカウンタを複数4つ備え、それぞれのフレームカウンタのカウント値を比較する構成であるため、回路が複雑で大規模になり消費電力が増加した。

【解決手段】 本発明の回路は、互いに異なる伝搬遅延時間の複数のデータ信号に關し、該信号に対応した複数のクロックから読み出しクロックを選択するクロックセレクタと、複数のデータ信号の到着を検出する複数のフリップフロップからなるデータ信号到着検出回路と、最も伝搬遅延時間の大きいデータ信号を検出するアンド回路からなる最大遅延データ検出回路と、該最大遅延データ検出回路の出力と選択された読み出しクロックに基づきリセットパルスを生成するリセット回路を備える。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-017548
受付番号	50100104321
書類名	特許願
担当官	第八担当上席 0097
作成日	平成13年 1月26日

＜認定情報・付加情報＞

【提出日】 平成13年 1月25日

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社